

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-025026

(43)Date of publication of application : 26.01.2001

(51)Int.Cl.

H04N 9/07

(21)Application number : 11-192873

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.07.1999

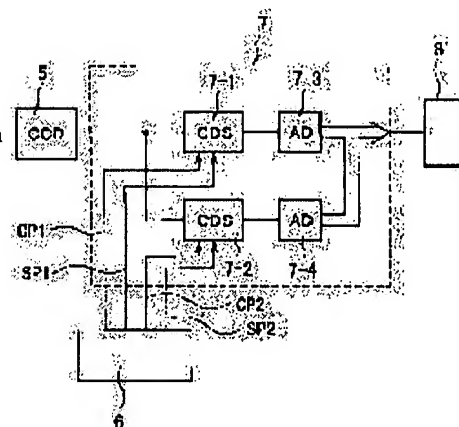
(72)Inventor : OGAWA NORITAKA  
YOSHIDA HIDEAKI

## (54) IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image pickup device capable of picking up the images of high image quality without generating a line level difference even when two parallel sample-and-hold circuits are used so as to cope with high-speed read.

SOLUTION: This image pickup device is provided with the CCD imaging device 5 of an RGB Bayer array, two correlation double sample-and-hold (CDS) circuits 7-1 and 7-2 for sampling and holding pixel signals successively read from the imaging device and a CCD driver 6 for controlling the output of two sampling pulses SP1 and SP2 as one set whose output phases are different by 180 degrees from each other for successively and alternately sampling the pixel signals in the two CDS circuits. In this case, the CCD driver inverts the output phase of the two sampling pulses as one set for the odd-numbered line and even-numbered line of the imaging device.



## LEGAL STATUS

[Date of request for examination]

24.03.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-25026  
(P2001-25026A)

(43)公開日 平成13年1月26日(2001.1.26)

(51)Int.Cl.<sup>7</sup>  
H 0 4 N 9/07

識別記号

F I  
H 0 4 N 9/07

データベース(参考)  
A 5 C 0 6 5  
C

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平11-192873

(22)出願日 平成11年7月7日(1999.7.7)

(71)出願人 000000376

オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 小川 能孝

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(72)発明者 吉田 英明

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

(74)代理人 100087273

弁理士 最上 健治

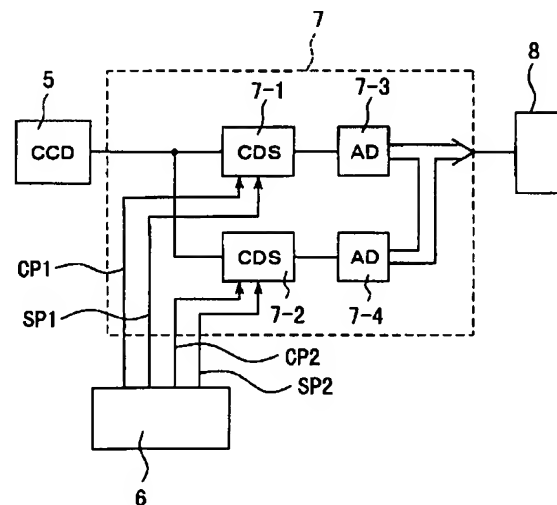
Fターム(参考) 5C065 BB22 CC01 DD02 DD17 EE05  
EE06 EE10 GG12

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 高速読み出しに対応させるため2つの並列サンプルホールド回路を用いても、ライン段差を生じることのない高画質の撮像を行うことの可能な撮像装置を提供する。

【解決手段】 R G Bベイア配列のC C D撮像素子5と、該撮像素子から順次読み出される画素信号をサンプルホールドする2つの相関2重サンプルホールド(C D S)回路7-1、7-2と、該2つのC D S回路において前記画素信号を順次交互にサンプリングさせるための出力位相が互いに180度異なる2つ1組のサンプリングパルスS P 1、S P 2の出力を制御するC C Dドライバ6とを備え、該C C Dドライバは撮像素子の奇数ラインと偶数ラインとで前記2つ1組のサンプリングパルスの出力位相を反転させるようにして、撮像装置を構成する。



7-1, 7-2 : 相関2重サンプルホールド回路

7-3, 7-4 : ADコンバータ

## 【特許請求の範囲】

【請求項 1】 色数が 3 である 2 次元周期配列の色コーディングを施した受光面を有し該色コーディングの単位配列が 1 組の対角画素に同一の色を配した  $2 \times 2$  の 4 画素配列である撮像素子と、該撮像素子から順次読み出される画素信号をサンプルホールドする 2 つのサンプルホールド手段と、該 2 つのサンプルホールド手段において前記画素信号を順次交互にサンプリングせしめるための出力位相が互いに 180 度異なる 2 つ 1 組のサンプリングパルスの出力を制御するパルス制御手段とを有し、前記パルス制御手段は前記撮像素子の奇数ラインと偶数ラインとで前記 2 つ 1 組のサンプリングパルスの出力位相を反転させるように構成されていることを特徴とする撮像装置。

【請求項 2】 前記サンプルホールド手段は相関 2 重サンプルホールド手段であり、前記パルス制御手段は前記 2 つ 1 組のサンプリングパルスの各々のサンプリングパルスに対応する各フィードスルークランプパルスを出力するように構成されていることを特徴とする請求項 1 に係る撮像装置。

【請求項 3】 前記撮像素子の有する受光面の色コーディングは、RGB ベイア配列であることを特徴とする請求項 1 又は 2 に係る撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、撮像装置、特にカラー固体撮像素子を用いた撮像装置に関する。

## 【0002】

【従来の技術】撮像管又は固体撮像素子に代表される撮像素子は撮像装置に広く用いられている。特に単管又は単板 (Single Sensor) カラー撮像装置に使用されるカラー撮像素子は、1 つの撮像素子で撮像装置が構成できるため、色分離プリズムが不要で、レンズの小型化が可能・レジストレーションに代表される多板式の各種調整が必要ない・消費電力が小さいなど多くの特徴を有し、撮像装置の小型化・省電力化に多くの貢献を果たしており、特にカラー固体撮像素子であるカラー CCD 撮像素子を用いた単板カラーカメラは、撮像装置の主流となっている。上記カラー撮像素子はいずれも一つの受光面で色情報を得るため、ストライプフィルタ又はモザイクフィルタなどと称される色フィルタを用いて、受光平面内で色変調 (色コーディング) を行なっている。

【0003】そして、固体撮像素子からの信号を読み出すに際しては、相関 2 重サンプリング (CDS) に代表されるサンプルホールド手段が用いられている。すなわち、画素の蓄積電荷量が比例して出力される画素電圧は、撮像素子出力信号の特定のタイミングだけに正確に反映されているため、この特定のタイミングの電圧だけをサンプリングするものである。このとき、各 1 画素毎に 1 つのデータが必要であるから、サンプリング周波数

は撮像素子の水平駆動周波数に等しい。サンプルホールド出力は、画素毎に AD コンバータで量子化され、後段のデジタル信号処理によって色分離を含む各種信号処理を経て、映像信号に加工される。

【0004】ところで、近年の撮像素子の画素数の増加により、撮像素子駆動周波数は高くなる一方であり、これに伴って信号読み出しも、より高速であることが要求されている。このためサンプルホールド回路の駆動周波数をこれに対応して上げる必要が生じるが、これが容易ではない場合は、サンプルホールド回路を 2 つ並列に設ける対応がなされている。すなわち、この 2 つのサンプルホールド回路を第 1 及び第 2 のサンプルホールド回路 SH1 及び SH2 とすると、この 2 つのサンプルホールド回路 SH1、SH2 は同じ撮像素子出力をサンプリングするが、サンプル周波数は撮像素子の水平駆動周波数の  $1/2$  であって、各画素出力を交互にサンプリングする。すなわち、各サンプリング回路 SH1、SH2 のサンプリングパルス SP1 と SP2 の位相は、180 度異なるように出力され、例えば第 1 のサンプリングパルス SH1 が各ラインの有効画素の奇数番目 (1, 3, 5, … 番目) の画素電圧をサンプリングするならば、第 2 のサンプリングパルス SH2 は各ラインの有効画素の偶数番目 (2, 4, 6, … 番目) の画素電圧をサンプリングするようになっている。

## 【0005】

【発明が解決しようとする課題】ところで、上記従来技術の撮像装置において用いられる撮像素子の色コーディングには多種あるが、代表的なものの一つに、奇数ラインと偶数ラインの一方が GR 配列 [GRGR…]、他方が BG 配列 [BG BG…] で構成された、すなわち全体として G が市松配置で、R 及び B が (水平垂直ともに) 線順次に配置された RGB ベイア配列がある。このような構成の RGB ベイア配列のカラー撮像素子に上記 2 つの並列サンプルホールド回路の構成を適用した場合は、GR 配列のラインに関しては G は第 1 のサンプリングパルス SP1 によって第 1 のサンプルホールド回路 SH1 でサンプリングされ、R は第 2 のサンプリングパルス SP2 によって第 2 のサンプルホールド回路 SH2 でサンプリングされることになり、BG 配列のラインに関しては B は第 1 のサンプリングパルス SP1 によって第 1 のサンプルホールド回路 SH1 でサンプリングされ、G は第 2 のサンプリングパルス SP2 によって第 2 のサンプルホールド回路 SH2 でサンプリングされることになる。

【0006】ここで、現実のサンプルホールド回路はアナログ回路であるため、その特性に微妙なばらつきを有する場合がある。具体的には、2 つのサンプルホールド回路のオフセットやゲインを無調整状態で完全に一致させることは、むしろ極めて困難である。サンプルホールド回路が 1 個だけのシステムの場合は、その特性が撮像

装置の機種毎には多少ばらついたとしても、その影響は全てのラインで同じように生じるものであるから、画面全体にかかわる特性（例えば明るさや色合い）の僅かな違いとなるだけであって、一般に視認性（検知性）が低く大きな問題は生じない。更に画面全体の特性に関しては、公知の各種画質調整技術を適用することで、その特性を合わせ込むことも容易である。

【0007】しかしながら、上記ベイヤ配列のカラー撮像素子に2つの並列サンプルホールド回路構成を適用した場合には、上記のように特に一つの色信号Gに関してGRラインでは第1のサンプルホールド回路SH1でサンプリングされるのに対し、BGラインでは第2のサンプルホールド回路SH2でサンプリングされることになるから、2つのサンプルホールド回路のばらつきはそのままG信号のライン段差を生じさせてしまうという問題があった。このライン段差は画面全体の特性とは異なり、極めて視認性（検知性）が高いため、このサンプルホールド回路のばらつきの許容限が極めてせまくなり、仮に調整回路等を追加して特性を合わせ込んだとしても、温度ドリフトや経時変化によって段差が顕在化する危険が大きいものであった。

【0008】本発明は、従来の2つの並列サンプルホールド回路を用いたカラー撮像素子における上記問題点を解消するためになされたもので、2つの並列サンプルホールド回路を用いてもライン段差を生じることのない高画質の撮像装置を提供することを目的とする。請求項毎の目的を述べると、次の通りである。すなわち、請求項1に係る発明は、色数が3である2次元周期配列の色コーディングを施した受光面を有し該色コーディングの単位配列が1組の対角画素に同一の色を配した2×2の4画素配列である撮像素子を用いた撮像装置において、ライン段差のない高画質の撮像を行えるようにすることを目的とする。請求項2に係る発明は、ノイズ抑制効果の優れた相関2重サンプリングを用いた撮像装置において、ライン段差のない高画質の撮像を行えるようにすることを目的とする。請求項3に係る発明は、解像度及び色再現性の優れたRGBベイヤ配列の撮像素子を用いた撮像装置において、ライン段差のない高画質の撮像を行えるようにすることを目的とする。

【0009】  
【課題を解決するための手段】上記問題点を解決するため、請求項1に係る発明は、色数が3である2次元周期配列の色コーディングを施した受光面を有し該色コーディングの単位配列が1組の対角画素に同一の色を配した2×2の4画素配列である撮像素子と、該撮像素子から順次読み出される画素信号をサンプルホールドする2つのサンプルホールド手段と、該2つのサンプルホールド手段において前記画素信号を順次交互にサンプリングせしめるための出力位相が互いに180度異なる2つ1組のサンプリングパルスの出力を制御するパルス制御手段と

を有し、前記パルス制御手段は前記撮像素子の奇数ラインと偶数ラインとで前記2つ1組のサンプリングパルスの出力位相を反転させるようにして撮像装置を構成するものである。

【0010】このように構成することにより、任意の色数が3である2次元周期配列の色コーディングを施した受光面を有し該色コーディングの単位配列が1組の対角画素に同一の色を配した2×2の4画素配列である撮像素子を用いた撮像装置において、1ライン毎にサンプリング位相を反転させ、全ラインにコーディングされている同一の色信号を常に同一のサンプルホールド手段で処理するため、ライン段差を生じさせない高画質の撮像を行うことが可能となる。

【0011】請求項2に係る発明は、請求項1に係る撮像装置において、前記サンプルホールド手段は相関2重サンプルホールド手段であり、前記パルス制御手段は前記2つ1組のサンプリングパルスの各々のサンプリングパルスに対応する各フィールドスルークランプパルスを出力するように構成されていることを特徴とするものである。このように構成することにより、ノイズ抑制効果の優れた相関2重サンプルホールド手段を用いた撮像装置において、ライン段差のない高画質の撮像を行うことが可能となる。

【0012】請求項3に係る発明は、請求項1又は2に係る撮像装置において、前記撮像素子の有する受光面の色コーディングはRGBベイヤ配列であることを特徴とするものである。このように構成することにより、解像度及び色再現性の優れたRGBベイヤ配列の撮像素子を用いた撮像装置において、ライン段差のない高画質の撮像を行うことが可能となる。

【0013】

【発明の実施の形態】次に、実施の形態について説明する。図1は、本発明に係る撮像装置の主たる実施の形態のデジタルカメラを示すブロック構成図である。図1において、1はレンズ系、2はレンズ駆動機構、3は露出制御機構、4はフィルタ系、5はCCD撮像素子、6はCCDドライバ、7はA/Dコンバータを含むプリプロセス回路、8はデジタルプロセス回路で、ハードとしてメモリを含み、全てのデジタルプロセス処理を行うものである。9はメモリカードインターフェース、10はメモリカード、11はLCD画像表示系、12は主たる構成としてマイコンを含むシステムコントローラ、13は操作スイッチ系、14は表示用LCDを含む操作表示系、15はストロボ、16はレンズドライバ、17は露出制御ドライバ、18はEEPROMである。

【0014】そして、この実施の形態のカメラのCCD撮像素子5はRGBベイヤ配列のカラー撮像素子であり、奇数ラインはGが奇数番目に位置するGR配列[GRGR...]、偶数ラインはGが偶数番目に位置するBG配列[BGBG...]で構成されている。またこ

の実施の形態におけるプリプロセス回路7には、図2の要部ブロック図に示すように、2系統の相関2重サンプルホールド回路(CDS)7-1と7-2、及びそれぞれの出力を受けて量子化するADコンバータ7-3と7-4を有している。

【0015】このように構成されたデジタルカメラにおいては、撮像素子出力はADコンバータで量子化された後は、デジタルプロセス回路8によって色分離、各色信号のオフセット調整、基本ゲイン調整、ホワイトバランス調整、マトリクス変換(輝度色差化)等を含む公知の信号処理を受けて、所定の映像信号に生成された後、最終的には圧縮されてメモリカード10に記録されるようになっている。

【0016】プリプロセス回路7におけるCDS7-1及び7-2には、それぞれに対するフィードスルークランプパルスであるCP1、CP2とサンプリングパルスSP1、SP2が、CCDドライバ6から与えられる。次に、図3に示すタイミングチャートを参照しながら各パルスのタイミングを詳述すると、サンプリングパルスSP1とSP2はCCD信号出力をサンプリングするタイミングで出力されるが、その周波数はデータ出力周波数(=水平駆動周波数)の1/2であり、データ出力2回に1回の割合でサンプリングする。したがって、これらのサンプリングパルスSP1とSP2の位相は、互いに180度異なっている。そして、図示したとおり奇数(Odd)ラインと偶数(Even)ラインでは、またそれぞれのパルスの位相が反転(180度位相)しており、すなわち偶数ライン(Even)と奇数ライン(Odd)では、各サンプリングパルスSP1、SP2を交換した関係にあると言っても良い。(なお、奇数ラインにおいては、サンプリングパルスSP1が奇数番目画素、サンプリングパルスSP2が偶数番目画素に対応するよう設定されている。)

【0017】一方、フィードスルークランプパルスCP1、CP2は各サンプリングの基準電位を固定するために、CCD出力のフィードスルー部をクランプするものであるから、基本的には各対応するサンプリングパルスSP1、SP2に対して(撮像素子によって決まる)一定のタイミングを保つべく出力される。したがって、結果的にはフィードスルークランプパルスCP1とCP2の相互関係は、上記サンプリングパルスSP1とSP2との相互関係と同じ関係を有していることになる。なお、図3において、VsはCDSの出力に相当する差分信号レベルを表している。

【0018】上記2つのCDS7-1、7-2系でサンプルホールドを行なった場合、Oddラインにおいては、奇数番目の画素の色GはサンプリングパルスSP1によってサンプリングされ、偶数番目の画素の色RはサンプリングパルスSP2によってサンプリングされる。一方、Evenラインにおいては、奇数番目の画素の色Bは

サンプリングパルスSP2によってサンプリングされ、偶数番目の画素の色GはサンプリングパルスSP1によってサンプリングされる。したがって、Gの画素情報は全てのラインに関して同じサンプリングパルスSP1によってCDS7-1においてサンプルホールドを受け、線順次情報であるR及びBの画素情報はサンプリングパルスSP2によってCDS7-2においてサンプルホールドを受けることになる。すなわち、従来例のように同じGの画素情報がラインの奇偶によって2つのサンプルホールド回路に振り分けられないことがないため、ライン段差を生じることがない。

【0019】勿論この場合も、2つのCDS7-1と7-2の特性ばらつき(本発明で言うサンプルホールド回路の特性ばらつきとは、単に狭義のサンプルホールド回路のみならず、例えば後段の2つのADコンバータでの量子化に際して基準電圧等のばらつきによってもやはりオフセットやゲインが異なり得るから、このようなサンプルホールド系全体の特性ばらつきを含むものである)を完全に0にすることは困難であるが、この影響は色信号GとR及びBとの間に生じるものであるから、例えば撮像装置が一般的に有している「色信号オフセット(ブラックバランス)調整手段」、「色信号ゲイン(ホワイトバランス)調整手段」等により調整することが可能であり、新たに特別な手当てをする必要はない。また、仮に温度変化や経時劣化による調整ずれが生じたとしても、視認性(検知性)が低い画面全体の僅かな色調の変化となるだけで、ライン段差を生じることはないから、不具合が顕在化することがない。

【0020】なお、上記主たる実施の形態の他にも様々な実施の形態が考えられる。例えば、上記実施の形態において、ADコンバータの動作スピードに制約がなければ、CDS7-1と7-2の出力をアナログスイッチで切り換えることで、ADコンバータは1つに減らすことができる。この場合、アナログスイッチが新たな2系統間のばらつき要素にはなるが、ADコンバータが1つになるので、上記の2ADコンバータによる量子化の際のばらつきはなくなる。いずれにせよライン段差は発生しない。

【0021】また上記主たる実施の形態では、サンプルホールド回路にCDSを使用したものを示したが、任意のサンプルホールド回路を使用できることは自明である。

【0022】一方、CCD撮像素子5の色コーディングパターンは、上記RGBベイア配列のみに限らず、例えば同様のパターンを有したYMCフィルタでも良く、「2×2の4画素を単位配列とする3色周期配列で、単位配列内に2画素だけ存在する同色画素が対角に配置した配列」であれば、任意の配列のものに本発明を適用することができる。

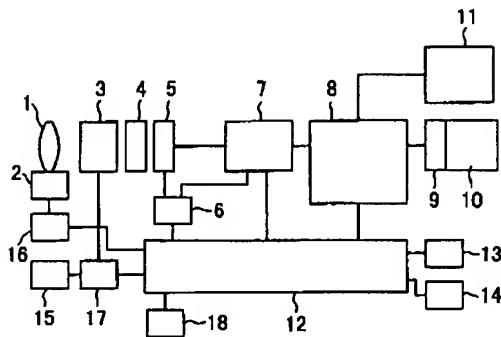
【0023】更には、撮像素子は電荷転送(チャージト

【図2】図1に示した実施の形態におけるプリプロセス＊

【符号の説明】

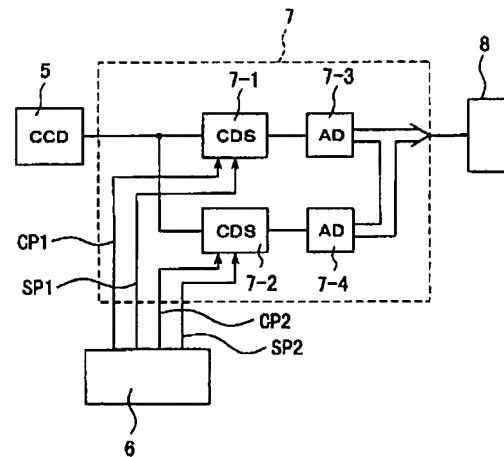
- 1 レンズ系
- 2 レンズ駆動機構
- 3 露出制御機構
- 4 フィルタ系
- 5 CCD撮像素子
- 6 CCDドライバ
- 7 プリプロセス回路
- 7-1, 7-2 相関2重サンプルホールド(CDS)回路
- 7-3, 7-4 ADコンバータ
- 8 デジタルプロセス回路
- 9 メモリカードインターフェース
- 10 メモリカード
- 11 LCD画像表示系
- 12 システムコントローラ
- 13 操作スイッチ系
- 14 操作表示系
- 15 ストロボ
- 16 レンズドライバ
- 17 露出正義ドライバ
- 18 EEPROM

【图 1】



1: レンズ系	10: メモリカード
2: レンズ駆動機構	11: LCD画像表示系
3: 露出制御機構	12: システムコントローラ
4: フィルタ系	13: 操作スイッチ系
5: CCD撮像素子	14: 操作表示系
6: CCDドライバ	15: ストロボ
7: プリプロセス回路	16: レンズドライバ
8: デジタルプロセス回路	17: 露出制御ドライバ
9: メモリカードインターフェース	18: EEPROM

【図 2】



7-1, 7-2 : 相関2重サンプルホールド回路

7-3, 7-4 : ADコンバータ

【図3】

